

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-135474

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

H01L 29/786

H01L 21/336

H01L 29/78

(21)Application number : 08-307442

(71)Applicant : SEMICONDUCTOR ENERGY LAB CO LTD

(22)Date of filing : 31.10.1996

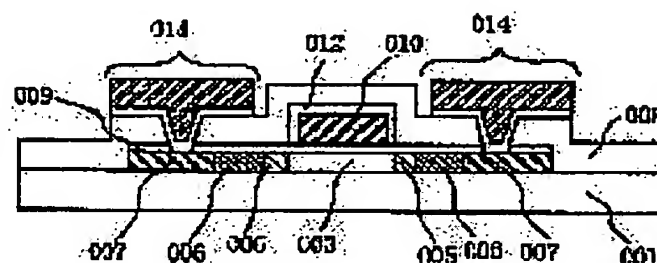
(72)Inventor : CHIYOU KOUYUU
OTSUKA KENJI
ISODA SHIRO

(54) INSULATED GATE FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent channel regions from being contaminated due to turnaround of impurities by making the impurity concn. of contact regions higher than that of regions serving as sources/drains.

SOLUTION: On a substrate 001 having an insulative surface a semiconductor layer is formed, having channels 003, regions 006 functioning as sources/drains, low impurity regions 005 between the regions 003, 006, and contact regions 007 forming Ohmic contacts between source/drain regions contg. an impurity at a high concn. and electrodes. The impurity is added enough to form the Ohmic contacts in the regions for the contact with the electrodes. Regions acting as sources/drains are disposed near the channel regions and doped at a low dose of the impurity to reduce the turnaround.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection][Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

特開平10-135474

(43)公開日 平成10年(1998)5月22日

(51)Int.Cl.		識別記号	
H01L	29/788	P I	
21/338		H01L	29/78
29/78			616A
			301L
			616V
			616J

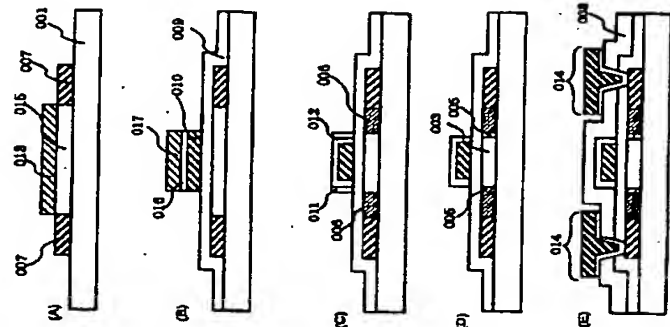
審査請求 未請求 請求項の数 8 F D (全 14 頁)

(21)出願番号	特開平8-307442	(71)出願人	000153878
(22)出願日	平成8年(1996)10月31日	株式会社半導体エネルギー研究所 神奈川県横浜市青葉区398番地	
		(72)発明者 張 宏男 神奈川県横浜市青葉区398番地 株式会社半導体エネルギー研究所内	
		(72)発明者 大塚 憲司 神奈川県横浜市青葉区398番地 株式会社半導体エネルギー研究所内	
		(72)発明者 磯田 志郎 神奈川県横浜市青葉区398番地 株式会社半導体エネルギー研究所内	

(54)【発明の名称】 絶縁ゲイト型電界効果トランジスタ及びその作製方法

(57)【要約】

【課題】 ソース／ドレイン領域を形成する際、添加した不純物の回り込みによるIGFETの特性の劣化を解決することを課題とする。
【解決手段】 絶縁ゲイト型電界効果トランジスタのソース／ドレイン領域を、ソース／ドレインとして機能する領域と、ソース／ドレイン領域と電極とのコンタクト領域とに分離し、電極とのオーミックコンタクトを形成するため、コンタクト領域には高濃度に不純物を添加し、ソース／ドレインとして機能する領域には、回り込みを少なくするため低濃度に不純物を添加する。



(2)

特開平10-135474

【特許請求の範囲】

【請求項1】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース／ドレインとして機能する領域と、ソース／ドレインと電極とのコンタクト領域とからなり、前記コンタクト領域は、ソース／ドレインとして機能する領域よりも不純物濃度が高いことを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項2】 半導体層の上に形成されたゲイト絶縁膜が、チャネル領域と低不純物領域とソース／ドレインとして機能する領域との上を覆っていて、ソース／ドレインと電極とのコンタクト領域は覆われていないことを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項3】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース／ドレインとして機能する領域と、ソース／ドレインと電極とのコンタクト領域とからなり、前記コンタクト領域のシート抵抗が1kΩ/□以下であることを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項4】 絶縁ゲイト型電界効果トランジスタにおいて、半導体層がチャネル領域と、低不純物領域と、ソース／ドレインとして機能する領域と、ソース／ドレインと電極とのコンタクト領域とからなり、前記ソース／ドレインとして機能する領域のシート抵抗が10kΩ/□以下であることを特徴とする絶縁ゲイト型電界効果トランジスタ。

【請求項5】 基板上に半導体層と、該半導体層上にゲイト絶縁膜を介して形成された二つ以上のゲイト電極とを有する絶縁ゲイト型電界効果トランジスタにおいて、

前記半導体層が、各ゲイト電極の下に形成された複数のチャネル領域と、チャネル領域に近接して設けられたソース／ドレインとして機能する領域と、ソース／ドレインと電極とのコンタクト領域とからなり、隣接する二つのチャネル領域に挟まれた領域中の不純物濃度が、前記コンタクト領域よりも低いことを特徴とする絶縁ゲイト型電界効果トランジスタ

【請求項6】 基板上に半導体層を形成する工程と、該半導体層に高濃度に不純物を添加してソース／ドレインと電極とのコンタクト領域を形成する工程と、前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にゲイト電極を形成する工程と、該ゲイト電極をマスクとして不純物を添加してソース／ドレインとして機能する領域を形成する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【請求項7】 基板上に半導体層を形成する工程と、前記半導体層にマスク酸化珪素膜を通して高濃度に不純物を添加してソース／ドレインと電極とのコンタクト領域を形成する工程と、

前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にゲイト電極を形成する工程と、該ゲイト電極をマスクとして不純物を添加してソース／ドレインとして機能する領域を形成する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【請求項8】 基板上に半導体層を形成する工程と、前記半導体層の上にゲイト絶縁膜を形成する工程と、該ゲイト絶縁膜上にアルミニウム膜を形成する工程と、該アルミニウム膜とゲイト絶縁膜をパターンニングする工程と、

パターンニングされたアルミニウム膜をゲイト電極にパターンニングする工程と、不純物を添加する工程と、低不純物領域を形成する工程とからなることを特徴とする絶縁ゲイト型電界効果トランジスタの作製方法。

【発明の詳細な説明】
【0001】

【発明の属する技術分野】本発明で開示する発明は、半導体装置、特にその基本素子である絶縁ゲイト型電界効果トランジスタに関する。

【0002】
【従来の技術】従来の絶縁ゲイト型電界効果トランジスタ（以下IGFETと略）の一例として、低不純物領域を有するN型IGFETの構成を図1(A)に示す。

【0003】従来の低不純物領域を有するN型IGFETの作製工程は、まず、基板001の上に半導体層とゲイト絶縁膜009を形成する。そして、そのゲイト絶縁膜009の上にゲイト電極010を形成する。ゲイト電極010に陽極酸化法を用いて陽極酸化膜を形成する。この陽極酸化膜は、耐腐食性に優れている緻密な陽極酸化膜012と耐腐食性に劣っている多孔性の陽極酸化膜の2層構造からなり、ゲイト電極の内部に緻密な陽極酸化膜012、外側に多孔性の陽極酸化膜を形成する。

【0004】そして、陽極酸化したゲイト電極をマスクとしてP（リン）を高濃度にドーピングする。こうして、ソース／ドレイン領域004を形成する。次に多孔性の陽極酸化膜を選択的にエッチングする。この時、緻密な陽極酸化膜012はエッチングされずに残存する。【0005】そして、再びリンを低濃度にドーピングをし、低不純物領域005を形成する。この低不純物領域のドレイン側は、LDD（Lightly Doped Drain）とよばれる領域である。

【0006】この工程で、低不純物領域に挟まれたチャネル領域003が形成される。そして、層間絶縁膜008を形成する。最後にソース／ドレイン領域の引出し電極014を形成する。

【0007】こうして低不純物領域を有するN型IGFETを作製する。
【0008】

【発明が解決しようとする課題】IGFETにおいて、ソース／ドレイン領域と電極のコンタクト領域は、オーミックコンタクトを形成する必要がある。そのため、ソース／ドレイン領域のコンタクト領域に不純物を高濃度にドーピングする必要がある。

【0009】図1(C)に示すように、①の範囲にソース／ドレイン領域004を形成するためのドーピングを高濃度に行うと、不純物が、④に示される領域まで回り込んで、不純物が添加される。その結果、ソース／ドレイン領域004に近接する低不純物領域005または、及びオフセット領域、更にはチャネル領域003まで不純物の回り込みによって汚染されてしまう。そしてそのことに起因して、そのTFT特性の劣化、ばらつきが起きてしまう。

【0010】上記問題点を解決するには、ソース／ドレイン領域にドーピングする不純物量をチャネル領域まで回り込みが広がらないよう減らせばよい。しかし、そうすると、電極とソース／ドレイン領域とのオーミックコンタクトが形成されず、非線形なコンタクトが形成されてしまう。

【0011】更に、レジストマスクを設けた基体に高濃度の不純物イオンをドーピングすると、レジストマスクが硬化してしまうという問題がある。

【0012】一般にレジストマスクを除去する際に、硬化した部分を酸素を用いてアッシングを行う。その後、柔らかい部分のレジストマスクを剝離液を用いて除去する。しかし、硬化したレジストマスクが厚いときは、保護している下地膜にまで酸素プラズマによって損傷を与えることがあり、酸素プラズマ処理のプロセスマージンが取れなくなるといふ工程上の問題が生じる。

【0013】本明細で開示する発明は、上述した各種問題を解決することを課題とする。

【0014】

【課題を解決するための手段】本願発明では、従来のソース／ドレイン領域を、機能別に二つの領域に分離する構成を採る。つまり、電極とコンタクトを取るための領域には、オーミックコンタクトを形成するに足る量の不純物を添加し、チャネル領域と近接して設けられたソース／ドレインとして機能する領域においては、回り込みが少なくなるといふ不純物のドーピング量を減らしたことを特徴とする。

【0015】本願発明で開示する発明の一つは、図1(B)にその具体的な構成を示すように、絶縁性表面を有する基板001の上に半導体層が形成され、半導体層は、チャネル003領域と、ソース／ドレインとして機能する領域006と、チャネル領域003とソース／ドレインとして機能する領域006との間に低不純物領域005と、高濃度に不純物が添加されたソース／ドレイン領域と電極とがオーミックコンタクトを形成するコンタクト領域007とが形成されていることを特徴とす

と、ソース／ドレインとして機能する領域と、チャネル領域とソース／ドレイン領域に挟まれた低濃度不純物領域と、高濃度に不純物が添加されたコンタクト領域とが形成されていることを特徴とする。

【0024】

【実施例】

【実施例1】図2に本願発明の実施例の作製工程の一つを示す。本実施例では、ガラス基板上にN型IGFETを形成した例を示す。

【0025】図2(A)に示すように本実施例ではガラス基板001を利用するが、ガラス基板の代わりに石英基板、絶縁表面を有する半導体等を用いてもよい。

【0026】まず、ガラス基板001の上に図示しない下地層を成膜する。ここでは下地層としてスパッタ法で2000Å厚の酸化珪素を形成する。

【0027】下地層を形成するのはスパッタ法に限定されるわけではなく、プラズマCVD法や熱CVD法等でもよい。下地膜は、基板からの不純物の拡散や応力緩和のために形成する。

【0028】次に、プラズマCVD法によって活性層を形成する。本実施例では活性層は、珪素を主成分とする被膜を用いているが、他の半導体にも利用できる。

【0029】活性層を形成する方法は、特にプラズマCVD法に限定されるのではなく、プラズマCVD法の代わりに減圧熱CVD法を利用しててもよい。本実施例において活性層は真性又は実質的に真性（人為的に導電型を付与しないという意味）な非晶質珪素膜を成膜する。

【0030】その後、非晶質珪素膜を結晶化させる。この結晶化は、熱やレーザー光等が利用できる。本実施例においては、レーザー光を利用して結晶化を行い多結晶珪素膜とする。

【0031】次に、多結晶珪素膜にパターンニングを施して、パターンを形成する。このパターンはN型IGFETの活性層となる。

【0032】次に、図2(A)に示すように、レジストマスク013を形成する。そしてP(リン)のドーピングを行う。このドーピングは、N型IGFETのソース／ドレイン領域と電極とがオーミックコンタクトを形成する条件で行う。

【0033】つまり、コンタクト領域の表面の不純物濃度が 10^{20} cm^{-3} 以上となり、シート抵抗が $1\text{ k}\Omega/\square$ 以下となるように形成する。

【0034】不純物のドーピング方法としては、ブラズマドーピング法と呼ばれる方法とイオン注入法と呼ばれる方法とがある。ブラズマドーピング法は、 PH_3 や B_2H_6 等のドーピングゼンとする不純物元素を含んだガスを高周波電力等でプラズマ化し、そこから電界により、不純物イオンを引出し、更に電界により加速注入する方法である。

【0035】他方、イオン注入法は、上記 PH_3 や B_2

H_2 等のガスをプラズマ化し、そこから引き出されたイオンを磁場を用いた質量分離により選別し、その選別された不純物イオンを加速注入する方法である。

【0036】本実施例では、大面積への対応が可能なるブラズマドーピング法を用いる。

【0037】本実施例のこの工程では、次の条件でドーピングを行う。

ドーピング量 $2 \times 10^{14}\text{ cm}^{-2}$

加速電圧 50 kV

R.F.電力 5 W

【0038】図2(A)に示すように本実施例では、この工程において、リンが高濃度に添加されたソース／ドレイン領域と電極とのコンタクト領域007が形成される。また、この工程で形成された領域007を便宜上N**領域と表記する。本実施例では、このN**領域の表面のリン濃度は約 10^{20} cm^{-3} で、シート抵抗は $1\text{ k}\Omega/\square$ 以下となる。

【0039】また、レジストマスク013の下に存在する半導体層は、リンがドーピングされないため、I型（真性または実質的に真性）領域015として残存する。

【0040】このドーピングは非自己整合プロセスで行われる。非自己整合プロセスにおいては、マスク合わせ精度が重要となる。

【0041】このようにして、図2(A)に示す工程を行った後に、レジストマスク015を除去する。

【0042】レジストマスクの除去は、硬化したレジストマスクを酸素プラズマによるアッシングを行い、その後レジストマスク用の剝離液を用いて除去する。

【0043】本実施例では、不純物の添加領域の表面に直接不純物を添加するペアドープで行うため、ドーピングが短時間で済む。そのため、レジストマスクの硬化する部分が薄くなる。従って、酸素プラズマによるアッシングが従来に比べ短時間、即ち、プロセスマージンを十分に取ることができる。

【0044】次に、図2(B)に示すように、ゲイト絶縁膜009を $500\sim4000\text{ Å}$ 、本実施例ではブラズマCVD法により 1200 Å の厚さに形成する。

【0045】次にゲイト電極を構成するためのアルミニウム膜を 4000 Å の厚さにスパッタ法によって成膜する。

【0046】アルミニウム膜を成膜したら、酒石酸を用いて陽極酸化法によりアルミニウム膜の上に陽極酸化膜を形成する。ここでは、陽極酸化膜の膜厚は 100 Å とする。この陽極酸化膜は、後の工程においてヒロックやウィスカの発生を抑制するために機能する。また、この陽極酸化膜は、ゲイト電極から延在したゲイト線がその上に配置される配線との間で上下間ショートを起こしてしまうことを防ぐ機能もある。

【0047】なお、ヒロックやウィスカというのは、ア

ルミニウムの異常成長により発生する針状あるいは角状の突起物のことである。このヒロックやウィスカは、加熱処理やレーザー光の照射、さらに不純物元素のドーピングにおいて発生する。

【0048】次に、レジストマスク017を配置する。このレジストマスクは、ゲイト電極を形成するためのもので、図2(A)、(B)からも判るように、コンタクト領域を形成する際に用いたレジストマスク013よりも幅の短いことを特徴としている。

【0049】次に、レジストマスク017を利用してパターンニングを行う。こうして図2(B)に示す状態を得る。

【0050】図2(B)に示す状態において、010がN型IGFETのゲイト電極である。016がゲイト電極の上部に堆積した陽極酸化膜である。

【0051】次に、レジストマスク017を除去する。

【0052】次に、再度の陽極酸化を行う。この工程は、電解溶液としてシュウ酸を用いた陽極酸化法で、図2(C)の011で示される多孔性の膜質を有する陽極酸化膜が形成される。

【0053】次に、図2(C)の012で示される陽極酸化膜を形成する。この陽極酸化膜012は、電解溶液として酒石酸を用いた陽極酸化を行うことにより、緻密な膜質の陽極酸化膜となる。

【0054】そして、再びリンイオンの注入を行う。ここでは、ゲイト絶縁膜が存在するため図2(A)に示す工程において添加されたドーズ量よりも高ドーズ量でもってリンを添加する。

【0055】本実施例のこの工程では、次の条件でドーピングを行う。

ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$
加速電圧 80 kV
RF電力 20W

【0056】この工程は、ゲイト絶縁膜を通して不純物を添加するスルードーブのため、実質的に半導体層に添加される不純物の量は、ゲイト絶縁膜の厚さにより減少する。従って、この工程によって形成されるN⁺領域006は、N⁺領域よりも低濃度である。一般的には、この工程によってN⁺領域006のシート抵抗が数100Ω/□〜10kΩ/□以下となるようにする。

【0057】また、この工程は、スルードーブで行っているため、ゲイト絶縁膜の膜厚によってそのドーズ量は変化する。

【0058】この工程において形成されたN⁺領域006は、N型IGFETのソース/ドレインとして機能する領域となる。また、このN⁺領域006の幅は、図2(A)の工程で用いたレジストマスク013と、図2(B)の工程で用いたレジストマスク017との大きさの違いと、位置関係とによって決まる。

【0059】次に、図2(C)で形成したゲイト電極の

陽極酸化膜において、外側に形成された多孔性の陽極酸化膜011をエッチングする。

【0060】このエッチングは、酢酸、硝酸、リン酸、水を混合したエッチャントによって行う。このエッチャントは、多孔性の陽極酸化膜011は浸食するが、緻密な陽極酸化膜012は侵されず、残存する。

【0061】次に、再びリンをドーピングする。この工程では、前工程でエッチングされた陽極酸化膜の下活性層に低不純物領域を形成する条件で添加する。

【0062】即ち、低不純物領域のシート抵抗が10⁴〜10⁷Ω/□となるようにドーピングを行う。

【0063】本実施例では次の条件でドーピングを行う。

ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$
加速電圧 80 kV
RF電力 5W

【0064】こうして図2(D)の005で示される低不純物領域が形成される。また、ゲイト電極によってリンが添加されなかった半導体層が、チャネル領域003となる。

【0065】この低不純物領域005の幅は、多孔性の陽極酸化膜011の膜厚によって決まる。低不純物領域005の幅は0.5〜2.0μm、本実施例では0.7μmとする。

【0066】本実施例では、図示されていないが、図2(D)に示される003には、チャネル領域だけではなくオフセット領域も形成されている。このオフセット領域は陽極酸化膜012の膜厚を利用して、自己整合的に形成される。

【0067】このオフセット領域はチャネル領域とソース領域との間、及びチャネル領域とドレイン領域とのあいだに配置された高抵抗領域として機能する。このオフセット領域はチャネル領域と同じ、I型の導電型を有している。

【0068】また、このオフセット領域はチャネル領域への不純物の回り込みを防ぐマージンとしての効果も有する。

【0069】こうして図2(D)に示す状態を得たら、不純物が添加された領域005、006、007は、ドーピングにより非晶質となるので、活性化及び結晶化するためにレーザー光を照射する。このレーザー光の照射は、

・注入されたリンの活性化
・リンのドーピングによって損傷(イオンの衝撃により生じる)した部分のアニール
といった作用を有している。

【0070】このようにして形成されたN型IGFETに、層間絶縁膜008を形成する。本実施例では、層間絶縁膜として窒化珪素を用いる。ここでは、層間絶縁膜はプラズマCVDを用いて3000Åの厚さに形成す

る。

【0071】そして、ソース/ドレイン領域のコンタクト領域007にコンタクトホールを形成する。そして、引出し電極014を形成する。コンタクト領域007は、高濃度にリンが添加されているので、電極014とオーミックコンタクトを形成することができる。

【0072】本実施例では、この電極として、チタン膜とアルミニウム膜とチタン膜との3層膜をスパッタ法により成膜する。そしてこの金属膜(積層膜)をパターンニングすることにより014で示される電極を形成する。

【0073】最後に350℃の水素雰囲気中において、1時間の加熱処理を行い、半導体中の欠陥の終端を行う。

【0074】こうして図2(E)に示す状態を得る。このN型IGFETは、コンタクトを形成するために多量にリンがドーピングされた領域007が、チャネル領域003から離れて形成されているため、007を形成する際に不純物が低不純物領域005、或いはチャネル領域003まで回り込むことを防ぐことができる。

【0075】同時に本実施例では、図2(A)に示す工程で、リンを添加する際に絶縁層や中間層を挟まないで行うペアドーブのため、中間層を通して添加を行うスルードーブよりも短時間且つ低ドーズ量で形成することができ。

【0076】従来レジストマスクを除去するために、硬化した部分を酸素を用いてアッシングを行い、その後柔らかい部分のレジストマスクを剝離液で除去していたが、硬化したレジストマスクが厚いときは、保護している下地膜にまで酸素プラズマによって損傷を与えることがあった。

【0077】この硬化した部分は、ドーピングを行う際にイオンの衝突により、レジストマスクが200℃以上の高温状態になり、さらに、不純物が高濃度添加されるためにレジストマスクが硬化する。

【0078】本実施例では、短時間で添加が終了するため、レジストマスクが200℃以上の高温となる時間が短く、さらに低濃度でドーピングが終了するため、レジストマスクの硬化を緩和することができ。

【0079】そのため本実施例では、レジストマスクの硬化した部分が薄くなり、柔らかい部分が厚くなるためアッシングする際のプロセスマージンを多く取ることができ、下地膜への影響を抑制できる。

【0080】本実施例では、N型IGFETの場合を示したが、本発明の構成を採ることはP型IGFETにおいても有効である。

【0081】本実施例では、プレーナ型のIGFETで示したが、本発明の構成は逆プレーナ型、スタガ型、逆スタガ型に用いても有効である。

【0082】本実施例では、活性層に多結晶半導体を用いたが、アモルファス、微結晶を有するアモルファス等

に用いることも適宜成しえる。

【0083】【実施例2】本実施例は、実施例1に示す工程を一部変更したものである。詳しくは、実施例1の図2(A)の工程を図3に変更したものである。

【0084】まず、実施例1と同様の条件で、ガラス基板001の上に下地保護膜と非晶質珪素膜を形成する。次に、非晶質珪素膜の上にマスキング酸化珪素膜018を形成する。

【0085】このマスキング酸化珪素膜018は、

・イオン注入の衝突によって、半導体層表面が荒れるのを保護する。

・活性層にレジストマスクの不純物が拡散することを防止する。

・レジストマスクを剝離する際の酸素プラズマから活性層を保護する。

・レジストマスクを剝離する際、剝離液に活性層を曝さない。

という効果がある。

【0086】マスキング酸化珪素膜を成膜する方法としてはプラズマCVD法、スパッタ法、活性層の熱酸化による成膜等から適宜選択できる。

【0087】また、マスキング酸化珪素膜をCVD法で成膜する際に用いる原料ガスは、シランと酸化物気体、TEOS、またはTEOSと酸化物気体との混合ガス等から適宜選択できる。

【0088】ここでいう酸化物気体とは、酸素、オゾン、亜酸化珪素のように、活性化した酸素を供給することができる気体、又はそれらの混合気体をいう。本実施例では、TEOSと酸素を原料に用いたプラズマCVD法によって100〜1000Å、本実施例では約500Åの厚さにマスキング酸化珪素膜018を形成する。

【0089】次に、実施例1と同様の条件で非晶質珪素膜を結晶化し、パターンニングを行い、レジストマスク013を成膜する。

【0090】そして、リンをドーピングする。このドーピングはソース/ドレイン領域のコンタクト領域を形成するための条件で行われる。

【0091】本実施例では、次の条件でドーピングを行う。

ドーズ量 $5 \times 10^{14} \text{ cm}^{-2}$
加速電圧 80 kV
RF電力 20W

【0092】本実施例では、このリンを添加する工程は、マスキング酸化珪素膜018を通してスルードーブで行うため、実施例1に比べて高ドーズ量で行う。また、マスキング酸化珪素膜018の膜厚により、上記条件は適宜変化する。

【0093】こうして、図3に示すように、リンが添加されたソース/ドレイン領域のコンタクト領域007と、レジストマスク013によって不純物の添加されな

かった領域015が形成される。このソース/ドレイン領域のコンタクト領域007のシート抵抗は1kΩ/□以下とする。

【0094】次に、レジストマスク013を酸素を用いたアッシング処理と、剥離液でのウェットエッチングで除去した後に、マスク酸化珪素を除去する。

【0095】残りの工程は、実施例1と同様の条件で行う。

【0096】本実施例では、半導体層015、特にチャネル領域となる活性層に、レジストから不純物等の拡散による汚染をマスク酸化珪素膜018によって抑制することができ。

【0097】また、不純物の添加の際、イオンの衝撃等によって半導体層の表面が荒れるのを防止することができ。従って、信頼性の高いIGFETを作製することができ。

【0098】(実施例3) 本実施例は、実施例1をダブルゲイト型のN型IGFETに応用したものである。図4にその工程を示す。

【0099】まず、実施例1と同様の方法で、ガラス基板001の上に図示しない下地保護膜と島状の珪素半導体層を形成する。次に、珪素半導体層の上にレジストマスク013をパターンニングする。そして、実施例1の図2(A)の工程と同じ条件でリンの添加を行い、ソース/ドレイン領域のコンタクト領域となる領域007を形成する。

【0100】こうして、図4(A)に示す状態を得たら、レジストマスク013を除去して、ゲイト絶縁膜009を実施例1と同じ条件で形成する。

【0101】その後、実施例1と同様にアルミニウム膜を全面に塗布し、その表面を陽極酸化化する。そして、パターニングを施して、ゲイト電極010、010'を形成する。そして、実施例1と同様に、ゲイト電極10、010'を陽極酸化して多孔性の陽極酸化膜011と、緻密な陽極酸化膜012を形成する。

【0102】そして、実施例1の図2(C)の工程と同様の条件でリンをドーピングする。そして、図4(B)に示すように、ソース/ドレインとして機能する領域006、006'、006''を形成する。

【0103】次に、多孔性の陽極酸化膜011をエッチングして、再び、実施例1の図2(D)の工程と同じ条件でリンをドーピングする。

【0104】こうして、図4(C)に示すように、電極010の下に形成されたチャネル領域003と、チャネル領域003に隣接して形成された低不純物領域005とが形成される。同時に、電極010'の下に形成されたチャネル領域003'と、チャネル領域003'に隣接して形成された低不純物領域005'とが形成される。

【0105】残りの工程も実施例1と同様の条件で行

う。こうして、層間絶縁膜008と引出し電極014とが形成され、図4(D)に示すように、ダブルゲイト型のN型IGFETが作製される。

【0106】このダブルゲイト型のN型IGFETの半導体層の構成は、各ゲイト電極010、010'の下に形成されたチャネル領域003、003'と、各チャネル領域に接して設けられた低不純物領域005、005'と、ソース/ドレインとして機能する領域006、006'、006''と、ソース/ドレイン領域と電極とのコンタクト領域007とからなっている。

【0107】そして、二つのチャネル領域003、003'に挟まれたソース/ドレインとして機能する領域006'におけるリンの不純物濃度は、当然ながら、他のソース/ドレインとして機能する領域006、006''の不純物濃度と概略等しく、ソース/ドレインと電極とのコンタクト領域007の不純物濃度よりも低い。

【0108】本実施例では、ダブルゲイト型を示したものが、ゲイト電極の数が二つ以上の電界効果トランジスタにも応用できる。

【0109】また、本実施例では、マスク酸化珪素膜を用いずに作製したが、実施例2の如く、コンタクト領域を形成するためのドーピングの前にマスク酸化珪素膜を形成してもよい。

【0110】(実施例4) 本実施例は、LCDモジュールの周辺回路の薄膜トランジスタに応用したものである。図5～図9にその工程を示す。

【0111】本実施例では、ガラス基板上に画素マトリクス部と、該画素マトリクス部を駆動するための駆動回路(バッファー回路)を構成するP及びNチャネル型の薄膜トランジスタを同時に作製する工程を示す。

【0112】本実施例では、薄膜トランジスタの形式としてゲイト電極は活性層の上方に存在するトップゲイト型のものを示す。

【0113】まず、実施例1と同様に、ガラス基板001上に図示しない下地膜と非晶質珪素膜を成膜する。そして、非晶質珪素膜の結晶化を行う。

【0114】次に、多結晶珪素膜にパターニングを施すことにより、図5(A)の002、002'、002''で示すパターンを形成する。このパターンは、それぞれ薄膜トランジスタの活性層となる。

【0115】即ち、002が画素マトリクス部に配置される薄膜トランジスタの活性層であり、002'がNチャネルドライバ部に配置される薄膜トランジスタの活性層である。

【0116】次に図5(B)に示すようにレジストマスク013、013'、013''を配置する。そして、実施例1の図2(A)の工程と同様の条件でリンのドーピングを行う。この工程で、Nチャネルドライバ部にソース/ドレインと電極とのコンタクトを形成するための

N+領域007'が形成される。同時に、画素マトリクス部の活性層にソース/ドレイン領域004を形成する。

【0117】そして、図5(B)に示すように、半導体層上に形成されたレジストマスク013、013'、013''により保護された真性な領域015、015'、002'が残存する。

【0118】このドーピング工程は、非自己整合プロセスで行われる。非自己整合プロセスにおいては、マスク合わせ精度が重要となる。

【0119】このようにして、図5(B)に示す工程を行ったら、レジストマスク013、013'、013''を除去する。

【0120】次に、新たなレジストマスク017、017'、017''を、図5(C)に示すように配置する。【0121】そして、Pチャネルドライバ部の活性層にP+領域を形成するためボロンを添加する。この工程で、図5(C)の007''で示すP+型のソース/ドレイン領域と電極とのコンタクト領域が形成される。

【0122】また、レジストマスク017、017'に、図5(C)の009を形成する。【0123】次に、図6(A)に示すように、ゲイト絶縁膜009を実施例1と同様に形成する。

【0124】次に、図6(B)に示すように、ゲイト電極を構成するために、アルミニウム膜019を成膜する。そして、実施例1と同様にアルミニウム膜019に、陽極酸化法により陽極酸化膜016を形成する。

【0125】次に、レジストマスク020、020'、020''を配置する。このレジストマスクは、ゲイト電極を形成するためのものである。このようにして、図6(B)に示す状態を得る。

【0126】次に、レジストマスクを利用してパターニングを行う。そして、レジストマスク020、020'、020''を除去することにより、図6(C)に示す状態を得る。

【0127】図6(C)に示す状態において、010が画素マトリクス部の薄膜トランジスタのゲイト電極である。016が該ゲイト電極の上部に残存した陽極酸化膜である。

【0128】また、画素マトリクス部は、図5(B)の工程で用いたレジストマスク013と、図6(B)で用いたレジストマスク020との大きさの違いと位置関係とによって決定されるオフセット領域022が形成される。

【0129】図示されていないが、ゲイト電極からはソース線とともに格子状に配置されるゲイト線が延在する。

【0130】同様に、010'がNチャネルドライバ

部の薄膜トランジスタのゲイト電極である。016'が該ゲイト電極の上部に残存した陽極酸化膜である。

【0131】同様に、010''がPチャネルドライバ部の薄膜トランジスタのゲイト電極である。016''が該ゲイト電極の上部に残存した陽極酸化膜である。

【0132】次に、図7(A)に示すように、再度レジストマスク021を形成する。そして、実施例1と同様に、再度の陽極酸化をゲイト電極010'、010''に行う。この陽極酸化によって、図7(A)の011'、011''、012'、012''で示される陽極酸化膜を形成する。ここで、内側に形成された陽極酸化膜012'、012''は、緻密な膜質を有している。また、外側に形成された陽極酸化膜011'、011''は、多孔性の膜質を有している。

【0133】本実施例では、レジストマスク021によって、画素マトリクス部には陽極酸化膜が形成されない。このレジストマスク021は、画素マトリクス部にとって不必要な工程から保護するために形成されている。

【0134】次に、Pチャネルドライバ部を覆ってレジストマスク021''を形成する。そして、再びリンのドーピングを行う。ここでは、Nチャネルドライバ部のソース/ドレインとして機能するN+領域を形成する条件でリンを添加する。

【0135】この添加により図7(B)に示すように、ソース/ドレインとして機能するN+領域006'を形成する。

【0136】次に、Nチャネルドライバ部のゲイト電極010'の外側に形成された多孔性の陽極酸化膜011'を実施例1と同様に除去する。そして、もう一度リンを添加して、N+型の低不純物領域005'を形成する。同時に、この工程でゲイト電極によって不純物が添加されなかったチャネル領域003'も同時に形成される。

【0137】このようにして、図7(C)に示すように、Nチャネルドライバ部の半導体層にチャネル領域から順に、N+型の低不純物領域005'と、ソース/ドレインとして機能するN+領域006'と、電極とのコンタクトを形成するためのN+領域007とが形成される。

【0138】この工程で、画素マトリクス部とPチャネルドライバ部には、レジストマスク021、021''が形成されているためリンは添加されない。

【0139】次に、Pチャネルドライバ部のレジストマスク021''を除去した後、Nチャネルドライバ部に、新たにその全面を覆うレジストマスク021'を配置する。そしてこの状態において、ボロンのドーピングを行う。ここでは、Pチャネルドライバ部のソース/ドレインとして機能するP+領域を形成するために不純物を添加する。

【0140】 図8(A)に示すように、Pチャネルドライバ部はソース/ドレインとして機能するP領域006が形成される。

【0141】 そして、ゲイト電極010の側面に形成されている、多孔質の陽極酸化膜011を実施例1と同様に除去する。そして、再びボロンドープニングを行う。この工程によって、図8(B)に示すようにP⁺型の低不純物領域005と、ゲイト電極の下に形成されたチャネル領域003とが形成される。

【0142】 次に、レジストマスク021、021'を除去し、再度のレーザ光の照射を行い注入された不純物の活性化とドーピング時に生じた結晶構造の損傷のアニールを行う。

【0143】 本実施例に示す構成においては、Nチャネルドライバ部とPチャネルドライバ部のゲイト電極の周囲に陽極酸化膜が形成されているので、その陽極酸化膜の厚みに相当する活性層は、オフセット領域となる。

【0144】 このオフセット領域は、チャネル領域とソース領域との間、及びチャネル領域とドレイン領域との間に配置された高抵抗領域として機能する。このオフセット領域は、チャネル領域と同じ、真性または実質的に真性な導電型を有している。そして、薄膜トランジスタの動作時においては、チャネルとしても機能せず、またソース/ドレイン領域としても機能しない高抵抗領域として機能する。

【0145】 そして、実施例1と同様の条件で、層間絶縁膜008を成膜する。そして、コンタクトホール形成を行い、引出し電極を形成する。

【0146】 図9に示す状態を得る。ここで、014は画素マトリクス部の薄膜トランジスタ(ここではNチャネル型の薄膜トランジスタ)のソース/ドレイン領域にコンタクトした電極である。

【0147】 ここで、014'は、Nチャネルドライバ部の薄膜トランジスタのソース/ドレインとして機能する領域の延長にある、不純物が高濃度に添加されたN⁺⁺領域とコンタクトした電極である。

【0148】 ここで、014''は、Pチャネルドライバ部の薄膜トランジスタのソース/ドレインとして機能する領域の延長にある、不純物が高濃度に添加されたP⁺⁺領域とコンタクトした電極である。

【0149】 図示していないが、この後に第2の層間絶縁膜を形成する。第2の層間絶縁膜は、ここでは再びCVD法で形成した酸化珪素を用いた。そして、第3の層間絶縁膜をポリイミドでもって形成する。ここでは、スピンコート法でもって第3層間絶縁膜を形成する。

【0150】 そして、ITO膜を1000Åの厚さにスパッタ法で成膜し、これをパターンニングすることにより画素電極を形成する。

【0151】 最後に350℃の水素雰囲気中において、

1時間の加熱処理を行い、半導体層中の欠陥の終端を行う。

【0152】 こうして、液晶パネルを構成するTFT基板を形成させた。この後、液晶を配向させるためのラビング膜や封止材を形成し、別に作製した対向基板と貼り合わせる。そして、TFT基板と配向基板との間に液晶を充填させることにより、液晶パネルを完成させる。

【0153】 本実施例に示す構成では、トップゲイト型の構成を採っているが、本発明をボトムゲイト型の構成に適用することも有効である。

【0154】 また、本実施例では、マスク酸化珪素膜を用いずに作製したが、実施例2の如く、コンタクト領域を形成するためのドーピングの前にマスク酸化珪素膜を形成してもよい。

【0155】 [実施例5] 本実施例は、1度のドーピング工程で、ソース/ドレインとして機能する領域と、不純物が高濃度に添加されたコンタクト領域とを同時に作製する例の一つである。本実施例の作製工程を図10に示す。

【0156】 実施例1と同様に、ガラス基板001の上に島状の多結晶半導体層002を形成する。その上にゲイト絶縁膜009を形成する。そして、ゲイト電極を形成するためのアルミニウム膜019を形成して、その表面を陽極酸化することによって陽極酸化膜016を形成する。そして、陽極酸化膜の上に第1のレジストマスク013を配置する。

【0157】 こうして、図10(A)に示す状態を得る。この状態で1度目のパターンニングを行う。このパターンニング工程では、陽極酸化膜016とアルミニウム膜019とゲイト絶縁膜009をエッチングする。

【0158】 そして、第2のレジストマスク017を配置する。この第2のレジストマスク017は、第1のレジストマスク013よりも狭い幅であることを特徴としている。また、第2のレジストマスク017を配置することにより、第1のレジストマスクをアッジングすることにより後退させて得ることは、非自己整合プロセスよりもマスク精度が良くなり有効である。

【0159】 こうして、図10(B)に示す状態を得る。2度目のパターンニングを行う。このパターンニング工程は、ゲイト絶縁膜はエッチングせずに残存させ、陽極酸化膜とアルミニウム膜をエッチングする。

【0160】 こうして、ゲイト電極が形成される。このゲイト電極に実施例1と同様の陽極酸化を行うことによって、図10(C)に示されるゲイト電極010と、多孔質の陽極酸化膜011と、緻密な膜質の陽極酸化膜012を形成する。

【0161】 この状態で、不純物のドーピングを行う。このドーピングでは、半導体層中のゲイト絶縁膜に覆われていない領域007には、ペアドープで添加される。また、ゲイト絶縁膜に覆われている領域006は、

ゲイト絶縁膜009を介して注入されるスルードープであるため、添加される量は007に比べて減少する。

【0162】 即ち、不純物の添加量が減少した領域006は、ソース/ドレインとして機能する領域となり、高濃度に添加された領域007は、ソース/ドレイン領域と電極とのコンタクト領域となる。

【0163】 このドーピングのドーピング量は、ゲイト絶縁膜を通してスルードープで、ソース/ドレインとして機能する領域が形成される条件かつ、ペアドープによってソース/ドレイン領域と電極とのコンタクト領域が形成される条件で行う。この条件はゲイト絶縁膜の厚さによっても変化する。本実施例では、ゲイト絶縁膜の厚さが1000Å、ドーピング量が $5 \times 10^{14} \text{ cm}^{-2}$ の条件で行う。

【0164】 また、ソース/ドレインとして機能する領域006の幅は、第1のレジストマスク013と、第2のレジストマスク17との大きさの違いと位置関係とによって決まる。

【0165】 こうして、図10(C)に示す状態を得る。その後、実施例1と同様に、ゲイト電極の側面に形成されている多孔質の陽極酸化膜011を除去する。そして、再び不純物の添加を行い図10(D)に示すように、低不純物領域005と、チャネル領域003とを形成する。

【0166】 そして、層間絶縁膜008を実施例1と同じ条件で形成する。そして、コンタクトホールを形成し、引出し電極014を形成して、図10(E)に示すように、低不純物領域を持つ絶縁ゲイト型電界効果トランジスタを形成する。

【0167】 本実施例では、ソース/ドレインとして機能する領域006と、ソース/ドレインと電極とのコンタクト領域007が一つの工程で作製できるため、歩留りを上げることができる。

【0168】 [発明の効果] 本明細書で開示する発明を利用することにより、活性層中で、チャネル領域に近い範囲に形成されたソース/ドレインとして機能する領域に添加する不純物を少なくできるため、不純物の回り込みによるチャネル領域の汚染を防ぐことができ、同一基板で作られたトランジスタの特性のばらつきを抑えることができる。

【0169】 さらに、同一基板の面内均一性が必要な液晶パネルに本発明の構成を用いることにより、信頼性の高いパネルを形成することができる。

[図面の簡単な説明]

【図1】 従来の構成と本発明の構成の絶縁ゲイト型トランジスタの断面図。

【図2】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図3】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図4】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図5】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図6】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図7】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図8】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

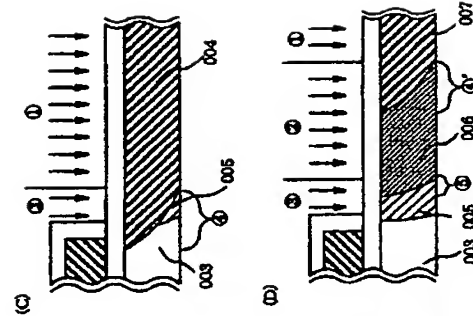
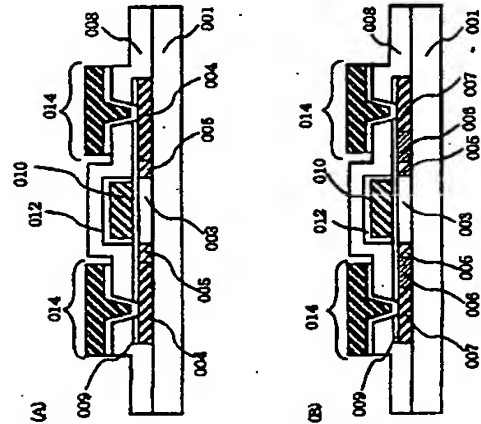
【図9】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

【図10】 発明を利用した絶縁ゲイト型トランジスタの作製方法を示す図。

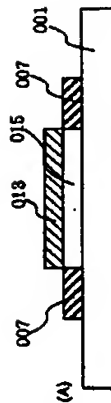
[符号の説明]

001 基板
002、002'、002'' 活性層
003、003'、003'' チャネル領域
004 ソース/ドレイン領域
005、005'、005'' 低不純物領域
006、006'、006'' ソース/ドレインとして機能する領域
007、007'、007'' コンタクト領域
008 層間絶縁膜
009 ゲイト絶縁膜
010、010'、010'' ゲイト電極
011、011'、011'' 多孔質の陽極酸化膜
012、012'、012'' 緻密な陽極酸化膜
013、013'、013'' レジストマスク
014、014'、014'' 引出し電極
015、015'、015'' I型層
016、016'、016'' 上部陽極酸化膜
017、017'、017'' レジストマスク
018 マスク酸化珪素膜
019 アルミニウム膜
020、020'、020'' レジストマスク
021、021'、021'' レジストマスク
022 オフセット領域

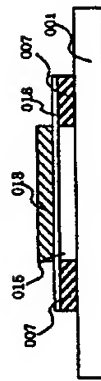
【図1】



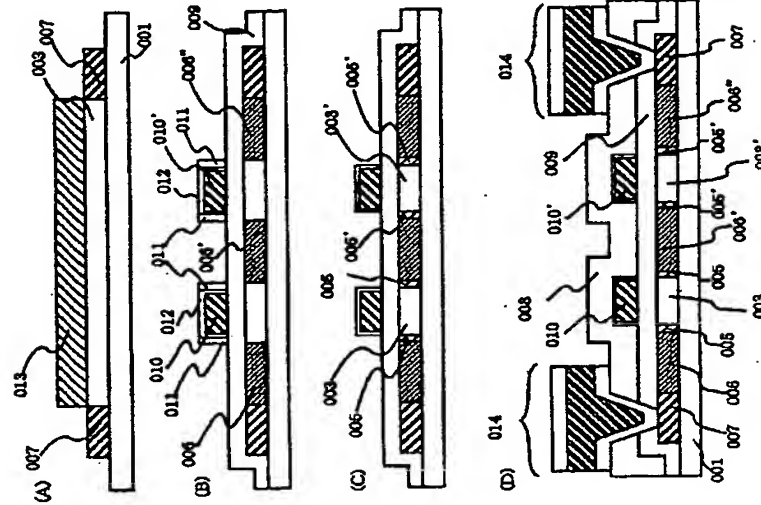
【図2】



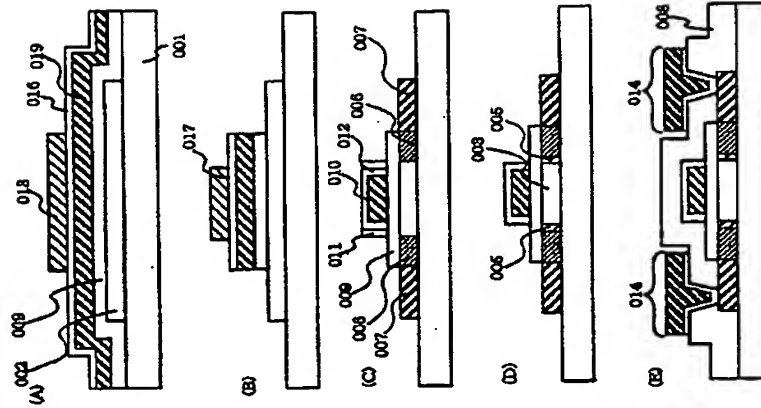
【図3】



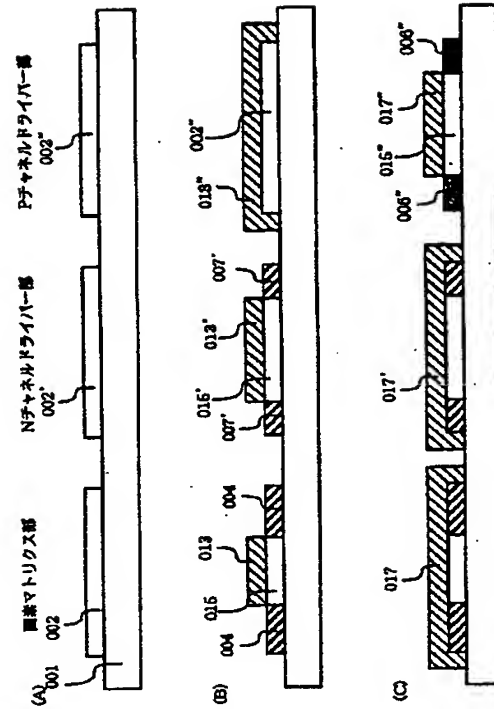
【図4】



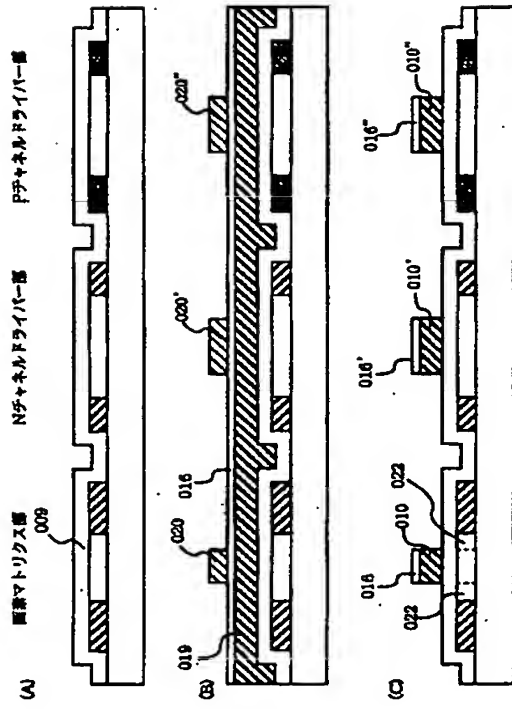
【図5】



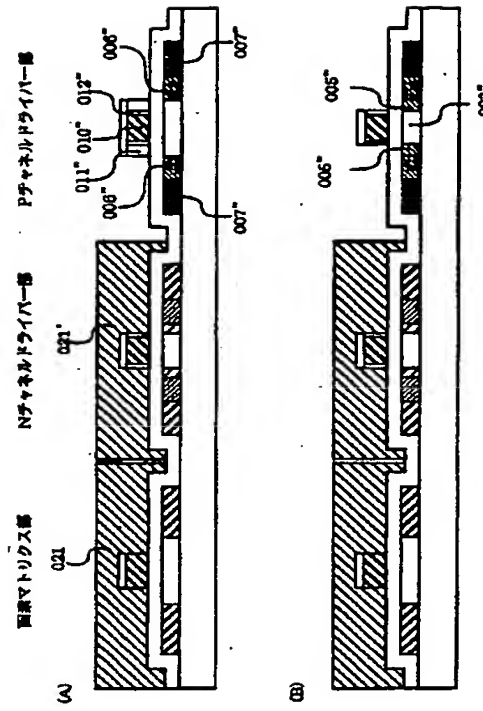
【図6】



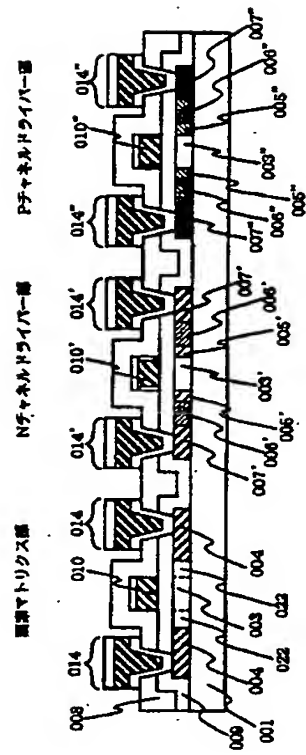
【図6】



【図8】



【図9】



【図7】

